

REC'D 07 APR 2005

WIPO

PCT

特許性に関する国際予備報告 (特許協力条約第二章)

(法第12条、法施行規則第56条)
(PCT 36条及びPCT規則70)

出願人又は代理人 の書類記号 KEM-120PCT	今後の手続きについては、様式PCT/IPEA/416を参照すること。	
国際出願番号 PCT/JP2004/004167	国際出願日 (日.月.年) 25.03.2004	優先日 (日.月.年) 26.03.2003
国際特許分類 (IPC) Int. Cl. H01L 21/322, H01L 21/20		
出願人 (氏名又は名称) コマツ電子金属株式会社		

1. この報告書は、PCT 35条に基づきこの国際予備審査機関で作成された国際予備審査報告である。
法施行規則第57条 (PCT 36条) の規定に従い送付する。
2. この国際予備審査報告は、この表紙を含めて全部で 3 ページからなる。
3. この報告には次の附属物件も添付されている。
- a ☒ 附属書類は全部で 2 ページである。
- ☒ 補正されて、この報告の基礎とされた及び/又はこの国際予備審査機関が認めた訂正を含む明細書、請求の範囲及び/又は図面の用紙 (PCT規則70.16及び実施細則第607号参照)
- ☐ 第I欄4. 及び補充欄に示したように、出願時における国際出願の開示の範囲を超えた補正を含むものとこの国際予備審査機関が認定した差替え用紙
- b ☐ 電子媒体は全部で (電子媒体の種類、数を示す)。
配列表に関する補充欄に示すように、コンピュータ読み取り可能な形式による配列表又は配列表に関連するテーブルを含む。 (実施細則第802号参照)
4. この国際予備審査報告は、次の内容を含む。

- ☒ 第I欄 国際予備審査報告の基礎
- ☐ 第II欄 優先権
- ☐ 第III欄 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成
- ☐ 第IV欄 発明の単一性の欠如
- ☒ 第V欄 PCT 35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
- ☐ 第VI欄 ある種の引用文献
- ☐ 第VII欄 国際出願の不備
- ☐ 第VIII欄 国際出願に対する意見

国際予備審査の請求書を受理した日 21.10.2004	国際予備審査報告を作成した日 22.03.2005	
名称及びあて先 日本国特許庁 (IPEA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 宮崎 園子	4M 3123
電話番号 03-3581-1101 内線 3462		

第I欄 報告の基礎

1. この国際予備審査報告は、下記に示す場合を除くほか、国際出願の言語を基礎とした。

☐ この報告は、_____ 語による翻訳文を基礎とした。

それは、次の目的で提出された翻訳文の言語である。

- ☐ PCT規則12.3及び23.1(b)にいう国際調査
☐ PCT規則12.4にいう国際公開
☐ PCT規則55.2又は55.3にいう国際予備審査

2. この報告は下記の出願書類を基礎とした。(法第6条(PCT14条)の規定に基づく命令に応答するために提出された差替え用紙は、この報告において「出願時」とし、この報告に添付していない。)

☐ 出願時の国際出願書類

☒ 明細書

第 1-12 _____ ページ、 出願時に提出されたもの

第 _____ ページ*、 _____ 付けで国際予備審査機関が受理したもの

第 _____ ページ*、 _____ 付けで国際予備審査機関が受理したもの

☒ 請求の範囲

第 _____ 項、 出願時に提出されたもの

第 5-10 _____ 項*、 PCT19条の規定に基づき補正されたもの

第 _____ 項*、 _____ 付けで国際予備審査機関が受理したもの

第 _____ 項*、 _____ 付けで国際予備審査機関が受理したもの

☒ 図面

第 1-5 _____ ~~ページ~~/図、 出願時に提出されたもの

第 _____ ページ/図*、 _____ 付けで国際予備審査機関が受理したもの

第 _____ ページ/図*、 _____ 付けで国際予備審査機関が受理したもの

☐ 配列表又は関連するテーブル

配列表に関する補充欄を参照すること。

3. ☒ 補正により、下記の書類が削除された。

☐ 明細書 第 _____ ページ

☒ 請求の範囲 第 1-4 _____ 項

☐ 図面 第 _____ ページ/図

☐ 配列表(具体的に記載すること) _____

☐ 配列表に関連するテーブル(具体的に記載すること) _____

4. ☐ この報告は、補充欄に示したように、この報告に添付されかつ以下に示した補正が出願時における開示の範囲を超えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c))

☐ 明細書 第 _____ ページ

☐ 請求の範囲 第 _____ 項

☐ 図面 第 _____ ページ/図

☐ 配列表(具体的に記載すること) _____

☐ 配列表に関連するテーブル(具体的に記載すること) _____

* 4. に該当する場合、その用紙に“superseded”と記入されることがある。

第V欄 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、それを裏付ける文献及び説明

1. 見解

新規性(N)	請求の範囲 5-10 請求の範囲	有 無
進歩性(IS)	請求の範囲 請求の範囲 5-10	有 無
産業上の利用可能性(IA)	請求の範囲 5-10 請求の範囲	有 無

2. 文献及び説明(PCT規則70.7)

- 文献1: JP 7-37893 A (株式会社東芝)
1995.02.07, 全文, 第1-12図
文献2: JP 3-159151 A (三洋電機株式会社)
1991.07.09, 全文, 第1-3図
文献3: JP 2002-43557 A (三菱電機株式会社)
2002.02.08, 全文, 第1-23図
&US 2002/0009824 A1

請求の範囲5~9について

請求の範囲5~9に記載された発明は、国際調査報告書で引用された文献1~2及び新たに引用した文献3により進歩性を有しない。

文献3には、不純物濃度が $10^{15} \sim 10^{16} \text{ cm}^{-3}$ の半導体基板上に素子領域となるエピタキシャル層を形成すること、及び、半導体基板とエピタキシャル層の間に、不純物濃度が $10^{18} \sim 10^{19} \text{ cm}^{-3}$ の濃度がゲッタリング領域を形成することが記載されている。

文献1には、半導体基板上にゲッタリング層及び素子形成領域をエピタキシャル成長で形成することが記載されている。

文献2には、半導体基板の不純物濃度を減らすことで、エピタキシャル層を形成する際に起こる、半導体基板からの不純物のアウトデフュージョンを防ぐことが記載されている。

請求の範囲10について

請求の範囲10に記載された発明は、国際調査報告書で引用された文献1~2及び新たに引用した文献3により進歩性を有しない。

文献3には、ゲッタリング領域をボロンを注入することで形成することが記載されている。

請 求 の 範 囲

1. (削除)

2. (削除)

3. (削除)

4. (削除)

5. (追加) 半導体基板にエピタキシャル層を積層した半導体エピタキシャルウェーハにおいて、

前記半導体基板の表面側に複数層のエピタキシャル層を積層すると共に、

前記複数層のエピタキシャル層のうちの何れかのエピタキシャル層の不純物濃度が、耐ラッチアップ性と高周波数適応性を有する程度であり且つ前記半導体基板及び他のエピタキシャル層の不純物濃度よりも高濃度であること

を特徴とする半導体エピタキシャルウェーハ。

6. (追加) 半導体基板にエピタキシャル層を積層した半導体エピタキシャルウェーハにおいて、

前記半導体基板の表面側に複数層のエピタキシャル層を積層すると共に、

前記複数層のエピタキシャル層のうちの何れかのエピタキシャル層の不純物濃度が、ゲッタリングサイトが形成される程度であり且つ前記半導体基板及び他のエピタキシャル層の不純物濃度よりも高濃度であつて、

前記半導体基板の不純物濃度が、当該半導体基板からの不純物の放出が抑制される程度であること

を特徴とする半導体エピタキシャルウェーハ。

7. (追加) 前記複数層のエピタキシャル層のうち前記半導体基板と接するエピタキシャル層の不純物濃度が前記半導体基板及び他のエピタキシャル層の不純物濃度よりも高濃度であること

を特徴とする請求の範囲5乃至6記載の半導体エピタキシャルウェーハ。

8. (追加) 半導体基板にエピタキシャル層を積層した半導体エピタキシャルウェーハにおいて、

前記半導体基板の表面側に複数層のエピタキシャル層を積層すると共に、

前記複数層のエピタキシャル層のうちの高濃度のエピタキシャル層の不純物濃度が、 $2.77 \times 10^{17} \sim 5.49 \times 10^{19}$ (atoms/cm³) であって、

前記半導体基板の不純物濃度が、 $1.33 \times 10^{14} \sim 1.46 \times 10^{16}$ (atoms/cm³) であること

を特徴とする半導体エピタキシャルウェーハ。

9. (追加) 半導体基板にエピタキシャル層を積層した半導体エピタキシャルウェーハにおいて、

前記半導体基板の表面側に複数層のエピタキシャル層を積層すると共に、

前記複数層のエピタキシャル層のうちの高濃度のエピタキシャル層の抵抗率が $0.002 \sim 0.1$ ($\Omega \cdot \text{cm}$) であって、

前記半導体基板の抵抗率が $1 \sim 100$ ($\Omega \cdot \text{cm}$) であること

を特徴とする半導体エピタキシャルウェーハ。

10. (追加) 前記複数層のエピタキシャル層のうちの高濃度のエピタキシャル層はボロンを含むこと

を特徴とする請求の範囲5乃至9記載の半導体エピタキシャルウェーハ。